

Filed January 7, 2000

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(A utiliser que pour  
le classement et les  
commandes de reproduction.)

2.071.501

(21) N° d'enregistrement national :  
(A utiliser pour les paiements d'annuités,  
les demandes de copies officielles et toutes  
autres correspondances avec l'I.N.P.I.)

69.45632

## ⑯ BREVET D'INVENTION

PREMIÈRE ET UNIQUE  
PUBLICATION

- (22) Date de dépôt..... 31 décembre 1969, à 13 h 53 mn.  
Date de la décision de délivrance..... 23 août 1971.  
Publication de la délivrance..... B.O.P.I. — «Listes» n. 37 du 17-9-1971.
- (51) Classification internationale (Int. Cl.) .. G 11 c 5/00//G 11 c 7/00; H 05 k 3/00.
- (71) Déposant : DONDOUT Jacques, MENORET Maurice, PUYCHEVRIER Nicole, ROUZIER  
Michel et CARTERON Yves, résidant en France.
- (73) Titulaire : *Idem* (71)
- (74) Mandataire : Cabinet René Martinet.
- (54) Perfectionnements aux mémoires matricielles à résistances linéaires.
- (72) Invention de :
- (33) (32) (31) Priorité conventionnelle :

La présente invention concerne des perfectionnements aux mémoires matricielles à résistances linéaires.

De telles mémoires sont connues dans l'art antérieur, en particulier par le brevet français N° 1.238.923 du 11 Juillet 1959, 5 aux noms de celui des actuels demandeurs premier nommé et de Louis LIBOIS et François DAYONNET. Dans ces mémoires de l'art antérieur, l'écriture d'un mot s'effectuait en connectant, sur les matrices de la mémoire, une résistance à chaque point de croisement correspondant à un chiffre binaire un du mot à mettre en mémoire et en ne 10 connectant pas de résistance en un point de croisement correspondant à un chiffre binaire zéro du même mot.

L'un des objets de l'invention est une mémoire matricielle à résistances linéaires dans laquelle des perfectionnements ont été apportés pour accélérer l'écriture des mots.

15 Un autre objet de l'invention est un dispositif pour l'écriture de mots dans les mémoires matricielles à résistances linéaires.

La mémoire de l'invention se présente comme un assemblage de matrices à deux dimensions constituées par des cartes en matière diélectrique, sur lesquelles sont imprimées les lignes et les colonnes conductrices de ces matrices. Ces lignes et ces colonnes, isolées électriquement entre elles, sont réunies, en tous leurs points de croisement, par des résistances, en forme de L, constituées par un dépôt métallique obtenu, soit par bombardement ionique, soit par pulvérisation cathodique, à travers un cache métallique.

25 L'écriture des mots sur ces cartes matricielles s'effectue en faisant disparaître par volatilisation par effet JOULE, les résistances connectées aux points de croisement de la matrice occupés par des zéros des mots à écrire. A cet effet la ligne et la colonne correspondant à la résistance à détruire sont portées à 30 des potentiels suffisants pour que le courant parcourant la résistance la fasse se volatiliser. Simultanément toutes les autres lignes et les autres colonnes sont portées à des potentiels inférieurs pour que les résistances qui se terminent à ces autres lignes et autres colonnes, y compris celles dont une extrémité 35 se termine sur la ligne ou sur la colonne à haut potentiel ne soient parcourues que par des courants faibles ne risquant pas de les endommager.

40 L'invention sera mieux comprise à la lecture de la description de détail qui va être maintenant reprise en relation avec les dessins annexés dans lesquels :

- la Fig. 1 représente partiellement sous la forme d'un diagramme de blocs, une mémoire de l'invention;
- la Fig. 2 présente le dispositif d'écriture des matrices de l'invention;
- 5 - la Fig. 3 montre l'aspect d'une carte matricielle à résistances conforme à l'invention; et
- les Figs. 4, 5, 6 représentent les négatifs des clichés qui servent de masques lors de la fabrication des cartes matricielles de l'invention.

10 La Fig. 1 rappelle la structure de la mémoire du brevet précédent et montre les modifications apportées en vue de l'utilisation des cartes matricielles de l'invention.

Dans la Fig. 1, les numéros de référence 1, 2 et 3 désignent respectivement un registre d'adresses de type classique, un décodeur et une matrice sur carte imprimée. Les points de croisement de cette matrice sont des résistances linéaires  $35_{1,1}$  à  $35_{1,128}$ ,  
15  $35_{2,1}$  à  $35_{2,128}$  .....  $35_{32,1}$  à  $35_{32,128}$  formées chacune par un dépôt métallique sur la carte imprimée. La résistance  $35_{i,j}$  est au point de croisement de la ligne  $31_i$  et de la colonne  $32_j$   
20 ( $1 \leq i \leq 32; 1 \leq j \leq 128$ ).

Les amplificateurs de lecture  $4_1$  à  $4_{32}$  sont des amplificateurs différentiels intégrés, sensibles, par exemple à une variation de 2 millivolts. Chacun d'entre eux a une entrée connectée à une ligne de la matrice, respectivement  $32_1$  à  $32_{32}$  et son autre entrée connectée à une tension de référence. Cette tension de référence, comparée aux signaux de lecture sortant de la matrice 3, est égale à 18 millivolts. La résistance telle que  $5_1$  égale à 10 ohms, définit l'impédance d'entrée des amplificateurs de lecture tel que  $4_1$ .

Il est connu que les signaux de lecture, recueillis sur les lignes de la matrice et devant fournir une réponse un, sont affaiblis d'une part, par l'établissement de courants dérivés donnant naissance à des signaux parasites sur les lignes devant fournir la réponse zéro et d'autre part, par le partage du courant d'interrogation entre les diverses lignes devant fournir la réponse un. Il en résulte que, lors de l'interrogation d'une mémoire à résistances, on recueille des signaux utiles compris entre deux valeurs  $U_{\max}$  et  $U_{\min}$ , et des signaux parasites qu'il ne faut pas risquer de confondre avec les signaux utiles.

La réduction de l'intervalle ( $U_{\max}, U_{\min}$ ), ainsi que l'affaiblissement des signaux parasites, dépendent de la capacité de la

mémoire, des valeurs des résistances connectées aux points de croisement, des impédances des générateurs d'impulsions d'interrogation  $6_1$  à  $6_{128}$  alimentant les colonnes  $31_1$  à  $31_{128}$  et des impédances d'entrée des amplificateurs de lecture  $4_1$  à  $4_{32}$ .

5 L'expérience a montré que les résistances, connectées aux points de croisement de la matrice de l'invention, devaient pour pouvoir être réalisées d'une façon reproductible par les méthodes d'impression sur cartes, avoir une valeur R de l'ordre de 1000 ohms.

10 En adoptant cette valeur de résistance, une matrice de l'invention donnant satisfaction, présente les caractéristiques ci-après :

- nombre de mots : 128
- nombre d'éléments binaires par mot : 32
- 15 - impédance d'entrée des amplificateurs de lecture  $4_1$  à  $4_{32}$  : 10 ohms
- impédance de sortie des amplificateurs d'interrogation des colonnes  $31_1$  à  $31_{128}$  : 50 ohms
- tension de commande fournie par ces amplificateurs : 5 volts
- intervalle de variation ( $U_{max}$ ,  $U_{min}$ ) du signal utile  $\Delta U$
- 20  $22 \text{ m V} < \Delta U < 50 \text{ m V}$
- signal parasite  $U_p \leq 12 \text{ m V}$ .

Afin de bien définir l'impédance des sources d'interrogation et leur tension, des amplificateurs  $6_1$  à  $6_{128}$ , tous identiques, ont été intercalés entre les sorties  $20_1$  à  $20_{128}$  du décodeur 2 et les colonnes  $31_1$  à  $31_{128}$  respectivement affectées à ces sorties. Ces amplificateurs, qui n'existaient pas dans les mémoires à résistances linéaires de l'art antérieur, sont constitués par un simple étage à transistor présentant les spécifications ci-après :

- 30
- transistor 60 P N P Type 2 N 2905
  - résistance  $61 = 1000$  ohms
  - résistance  $62 = 470$  ohms
  - résistance  $63 = 50$  ohms

Le courant dans la résistance 63 est de 100 milliampères.

35 Dans une résistance formant point de connexion, telle que  $35_{1,1}$ , il circule 5 milliampères. Si les 32 éléments binaires d'un mot sont des uns, l'amplificateur pourra débiter :

$$(32 \times 5) + 100 = 160 + 100 = 260 \text{ mA}$$

BAD ORIGINAL

La Fig. 2 représente le dispositif destiné à la préparation des cartes de mémoires, c'est-à-dire à volatiliser les résistances de la carte correspondant aux zéros d'un mot, lors de l'écriture de ladite carte.

Le dispositif de la Fig. 3 est assez semblable à celui de la Fig. 1 et n'en diffère qu'en ce que les lignes ont le même dispositif de marquage sélectif que les colonnes.

Si, par exemple, la résistance  $35_{2,2}$  est à volatiliser, on envoie au moyen d'un calculateur non représenté une première adresse au registre d'adresses des colonnes 7. Il apparaît alors, par l'intermédiaire du décodeur 8 et de l'amplificateur  $11_2$  un potentiel de marquage  $-V$  sur la colonne  $31_2$  lorsqu'un signal d'activation, issu également du calculateur, informe le décodeur 8 qu'au point de connexion  $35_{2,2}$  il doit y avoir un élément binaire zéro. Une seconde adresse est envoyée au registre d'adresses des lignes 9. Il apparaît alors, par l'intermédiaire du décodeur 9 (activé par le signal déjà cité ci-dessus) et de l'amplificateur  $12_2$ , un potentiel de marquage  $+V$  sur la ligne  $32_2$ . La tension aux bornes de la résistance  $35_{2,2}$  devient donc égale à  $2V$  et si  $V$  a une valeur convenable, la résistance  $35_{2,2}$  se volatilise.

Evidemment, cette volatilisation doit s'effectuer sans détériorer les résistances qui doivent subsister sur la carte 3 après écriture. A cet effet, toutes les lignes de la carte matricielle 3, à l'exception de la ligne marquée portée à un potentiel  $+V$ , sont portées à un potentiel de repos  $-V_o$  et toutes les colonnes de la même carte 3, à l'exception de la colonne marquée portée à un potentiel  $-V$ , sont portées à un potentiel de repos  $+V_o$ . Dans ces conditions, la tension aux bornes de la résistance  $35_{2,3}$ , dont l'extrémité côté colonne est à  $+V_o$  et l'extrémité côté ligne à  $+V$ , est égale à  $(V - V_o)$ . De même la tension aux bornes de la résistance  $35_{3,2}$ , dont l'extrémité côté colonnes est à  $-V$  et l'extrémité côté lignes à  $-V_o$  est égale à  $(-V + V_o)$ .

La différence de potentiel entre les bornes des résistances connectées à des lignes et des colonnes non marquées est évidemment  $2V_o$ .

Si l'on s'impose que les résistances, telles que  $35_{2,3}$  et  $35_{3,2}$  marquées d'un côté seulement restent soumises à la différence de potentiel  $2V_o$  des résistances non marquées, on peut écrire :

$$V - V_o = 2V_o$$

et, par suite :  $V_o = V/3$

Si  $V = 12$  volts, la tension d repos  $V_o$  est de 4 volts.

Comme on le voit, les résistances de la carte matricielle 3 doivent absorber, sans détérioration, une puissance de  $\frac{4}{3} V_o^2/R$ , ce qui donne, pour  $V_o = 4$  volts et  $R = 10^3$  ohms,  $64 \text{ mW}$ .

Par contre, elles doivent être détruites, si on leur fait absorber une puissance de  $\frac{4V^2}{R}$  soit 576 mW.

Les différentes tensions  $\pm V_o$  et  $\pm V$  sont obtenues au moyen des amplificateurs 11<sub>1</sub> à 11<sub>128</sub> et 12<sub>1</sub> à 12<sub>32</sub>.

La Fig. 2 montre les structures des amplificateurs 12<sub>1</sub> et 11<sub>1</sub> desservant respectivement la ligne 32<sub>1</sub> et la colonne 33<sub>1</sub> de la matrice de l'invention en cours d'écriture.

Comme le montre la Fig. 2, les deux structures sont les mêmes et ne diffèrent entre elles que par la nature des transistors et les polarités des tensions d'alimentation. Dans l'amplificateur de ligne 12<sub>1</sub>, les transistors 121 et 122 sont respectivement de types N P N et P N P, tandis que dans l'amplificateur de colonne 11<sub>1</sub>, les transistors homologues 111 et 112 sont de types P N P et N P N.

Le fonctionnement de l'amplificateur de ligne 12<sub>1</sub> va maintenant être décrit.

Si une tension égale à + 12 volts, issue du décodeur 10, est appliquée à l'entrée 125 d'un amplificateur de ligne, le transistor 122 est bloqué par sa base. Le transistor 121 fonctionne en émetteur suiveur; sa base et, par suite son émetteur, sont au potentiel - 4 volts. Le courant qui circule dans son circuit d'émetteur est égal à :

$$\frac{(-4) - (-12)}{R_{124}}$$

$R_{124}$  étant la valeur de la résistance 124, soit 57 mA si  $R_{124} = 140$  ohms.

Du fait du choix convenable de la valeur de la résistance 124, le courant dans le collecteur du transistor 121 est plus faible que le courant dans l'émetteur; il en résulte que le transistor 121 est saturé, que le potentiel de la borne de sortie 126, relié à une ligne de la matrice 3, est égal à - 4 volts et que l'impédance de sortie de l'amplificateur est basse.

Si la borne d'entrée 125 est au potentiel zéro (l'edit potentiel étant appliqué à travers une résistance placée dans le dé-

codeur 10), le transistor 122 se satire et il apparaît à la sorti 126 une tension de + 12 volts. Un courant circule alors dans la ligne de la matrice 3 connectée à cette sortie 126, ainsi que dans le circuit collecteur du transistor 121. Un courant circule alors dans la ligne de la matrice 3 connectée à cette sortie 126 ainsi que dans le circuit collecteur du transistor 121. Ce dernier fonctionne en émetteur-suiveur et son courant est limité à 57 m A comme il est expliqué ci-dessus. La tension de sortie est donc de + 12 volts à travers une basse impédance : transistor 122 saturé.

La Fig. 3 représente, sous une forme simplifiée, une carte matricielle de l'invention.

Sur cette carte 3, en matière diélectrique, sont imprimés les conducteurs formant les lignes  $32_1$  à  $32_4$  et colonnes  $31_1$  à  $31_4$ . Comme déjà dit, ces lignes et ces colonnes sont électriquement isolées les unes des autres. En chaque point de croisement de ces lignes et colonnes, une résistance en forme de L, telle que  $35_{1,1}$ , réunit électriquement une ligne, telle que  $32_1$ , à une colonne telle que  $31_1$ . Cette résistance est constituée, de préférence par une couche mince en platine. Ce choix n'est cependant pas limitatif.

Le processus suivant lequel sont réalisées les cartes matricielles de l'invention, va maintenant être exposé.

Ces cartes peuvent être des plaques en résine époxy, d'épaisseur 1,5 mm recouvertes, sur une de leurs faces, d'une couche de cuivre d'épaisseur uniforme égale à  $17,5 \mu$ .

L'impression de ces cartes nécessite quatre étapes. A savoir : la gravure des lignes suivant la technologie classique des circuits imprimés, l'isolement entre lignes et colonnes, grâce à une pellicule diélectrique réalisée à partir de produits photosensibles connus, le dépôt, suivant le procédé classique par bombardement ionique, de rubans en or constituant les colonnes de la matrice, et le dépôt, par bombardement ionique, des résistances de la matrice.

#### I. - Gravure des lignes.

I,1. - Du côté du revêtement en cuivre, la carte est recouverte du produit photosensible KODAK dit "K.P.R.".

I,2. - Un cliché, réalisé sur pellicule photographique à partir du négatif représenté sur la Fig. 4, est appliqué sur la carte.

I,3. - Celle-ci est ensuite exposée à la lumière, laquelle polymérisé le K.P.R. aux endroits éclairés.

- I,4. - La carte est immergée dans un solvant KODAK dit "KOR developer", lequel dissout le K.P.R. qui n'a pas été polymérisé par la lumière. Les bandes de cuivre, délimitées par les bandes transparentes du cliché, sont ainsi protégées de toute attaque chimique par le K.P.R. polymérisé.
- I,5. - La carte est ensuite immergée dans une solution de perchlorate de fer à 35 %, laquelle dissout le cuivre non protégé.
- I,6. - La carte est immergée dans le solvant KODAK, dit "Stripping" lequel met à nu les lignes métalliques en cuivre de la matrice en dissolvant le K.P.R. polymérisé.
- I,7. - À l'aide d'une pince métallique de conception appropriée, les extrémités de ces lignes sont électriquement réunies entre elles. On constitue ainsi une cathode en forme de peigne qui, immergée dans un bain électrolytique de dorure PARKER, se recouvre d'une légère couche d'or.
- II. - Isolement des lignes et des colonnes :
- II,1. - La surface totale de la carte, côté lignes, est recouverte du produit photosensible KODAK dit "KMER".
- II,2. - Un cliché, réalisé sur pellicule photographique en concordance avec celui qui permet la fabrication du cache-métallique fixant l'emplacement des colonnes de la matrice, est appliqué sur la carte.
- Le négatif du cliché pour la fabrication du cache métallique est représenté sur la Fig. 5. Le négatif du cliché pour la réalisation des colonnes diélectriques a le même aspect, cependant il en diffère en ce que les largeurs des traits noirs du cliché sont égales à celles des bandes blanches qui séparent les colonnes du cliché de la Fig. 5. On obtient ainsi des colonnes diélectriques plus larges que les colonnes qui seront formées sur elles par le bombardement ionique d'une cible en or.
- II,3. - La carte est exposée à la lumière, laquelle effectue la transformation du produit "KMER" en un diélectrique pelliculaire aux endroits délimités par les bandes transparentes du cliché.
- II,4. - La carte est immergée dans le solvant KODAK dit "KOR", lequel dissout le produit "KMER" qui n'a pas été exposé à la lumière.
- III. - Dépôt des colonnes.
- Comme il a été vu ci-dessus, un cache métallique, en cuivre photogravé, réalisé à partir du cliché négatif représenté sur la Fig. 5, est appliqué sur la carte de façon que les axes des forces

du cache coïncident, au mieux, avec les axes des bandes diélectriques.

L'ensemble est disposé dans une enceinte à bombardement ionique d'une cible en or. On obtient ainsi les colonnes de la matrice constituées par un dépôt d'or.

5 La durée de l'opération est d'une heure.

#### IV. - Dépôt des résistances.

Après avoir vérifié l'isolement entre lignes et colonnes grâce à un montage convenable, un cache métallique, en cuivre 10 photographié, réalisé à partir du cliché négatif représenté sur la Fig. 6, est appliqué sur la carte de façon que les extrémités de chaque ouverture en L se placent respectivement sur une colonne et une ligne métalliques.

15 L'ensemble est disposé dans une enceinte à bombardement ionique contenant une cible en platine.

Pour obtenir, avec une bonne reproductibilité, des résistances de valeurs égales à 1000 ohms, la durée de l'opération doit être mesurée avec soin. Elle est d'une demi-heure, si l'on admet une dispersion des valeurs des résistances égales à  $\pm 10\%$ .

20 Les valeurs des résistances, portées par les cartes, sont vérifiées une à une grâce à un montage approprié, lequel met à la terre toutes les lignes et toutes les colonnes qui ne sont pas en relation avec la résistance en cours de mesure.

## R E V E N D I C A T I O N S

- 1--. Mémoire matricielle à résistances linéaires comprenant une carte diélectrique, des colonnes et des lignes conductrices imprimées sur la carte et formant une matrice, lesdites colonnes et lignes étant isolées les unes des autres, et des résistances imprimées ayant la forme d'un L dont les extrémités des jambages sont reliés électriquement l'un à une colonne et l'autre à une ligne, ayant une valeur comprise entre 500 et 5000 ohms et susceptibles d'être volatilisées par une puissance électrique comprise entre 0,1 et 1 watt.
- 5
- 10 2--. Dispositif d'inscription de mémoires matricielles à résistances linéaires imprimées consistant à volatiliser par application d'une puissance électrique convenable celles des résistances imprimées qui correspondent à des zéros, comprenant des moyens d'appliquer sélectivement à la colonne et à la ligne dont la résistance imprimée à volatiliser constitue le point de croisement des impulsions respectivement positive et négative d'amplitude forte appropriée pour volatiliser la résistance et à toutes les autres colonnes et lignes des impulsions respectivement négatives et positives et d'amplitude plus faible.
- 15
- 20 3--. Dispositif d'inscription de mémoires matricielles à résistances linéaires imprimées conforme à la revendication N° 2 dans lequel l'amplitude faible des impulsions est le tiers de l'amplitude forte des impulsions de volatilisation.

Fig. 1

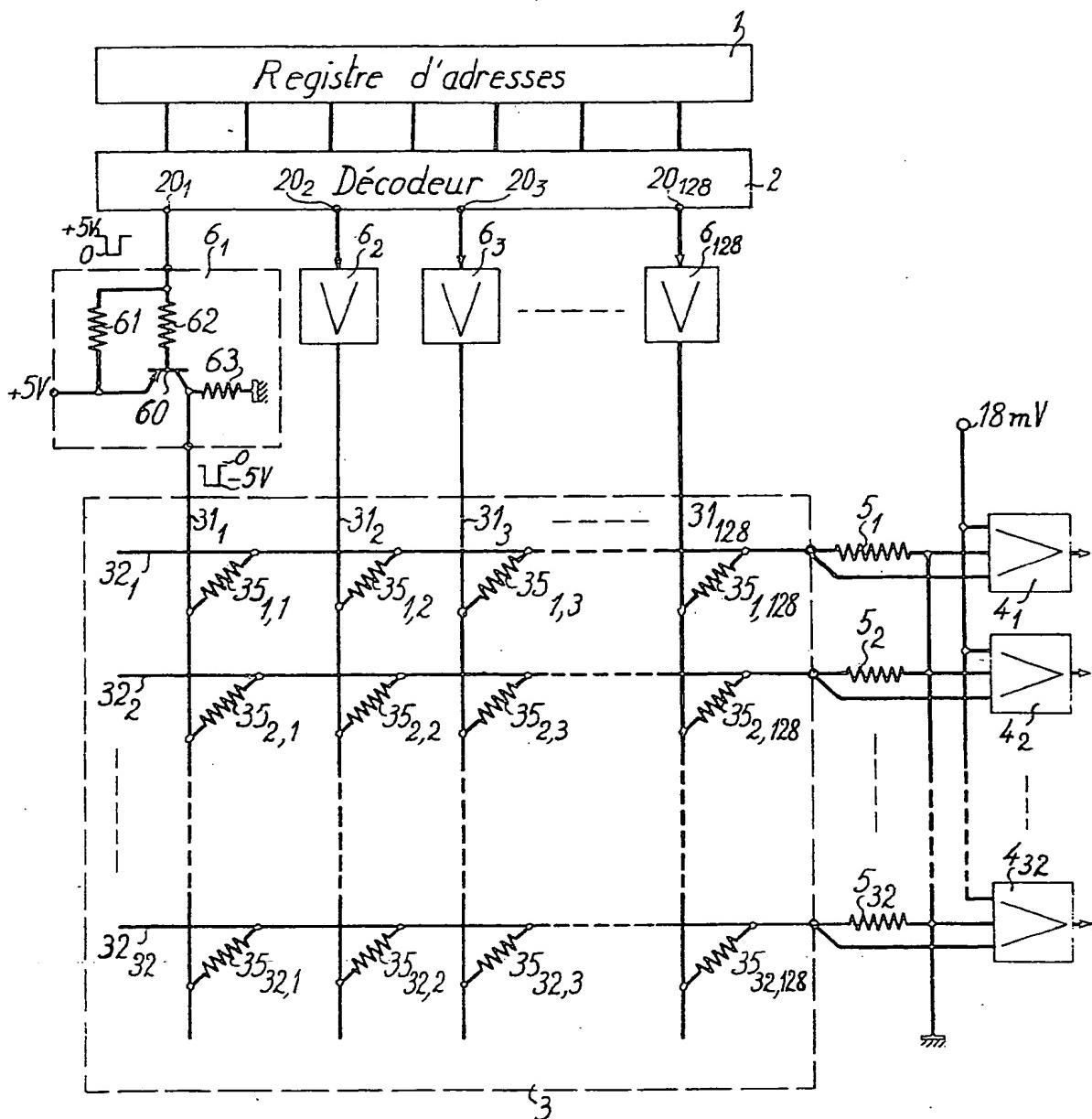
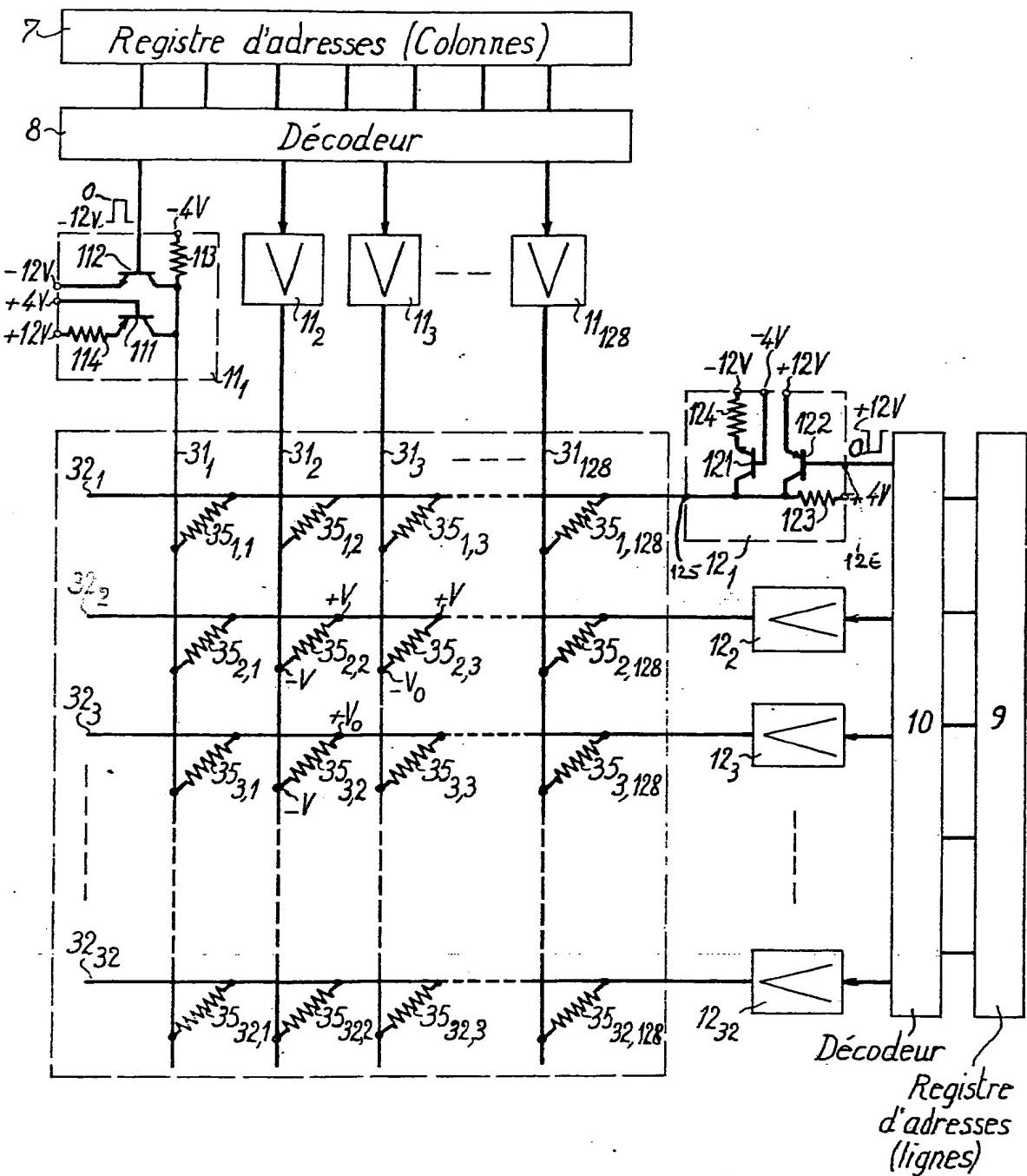


Fig. 2



69 45632

PL. III, 3

2071501

Fig. 3

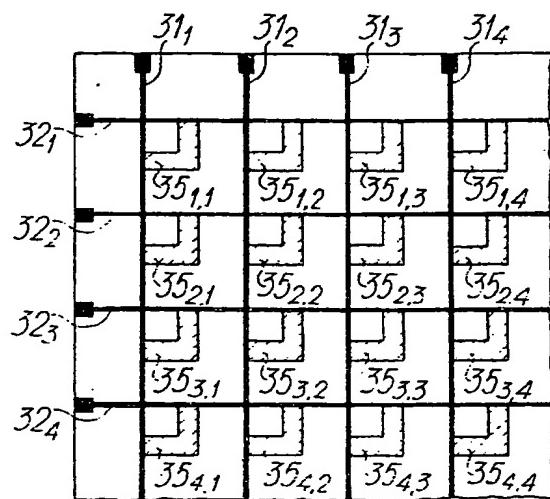


Fig. 4

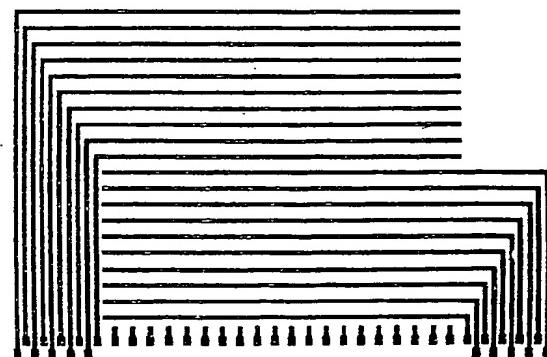


Fig. 5

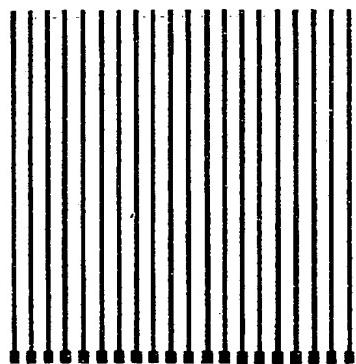


Fig. 6

